

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-155552

(43)Date of publication of application : 06.06.2000

(51)Int.Cl.

G09G 3/20

G02F 1/133

G09G 3/36

(21)Application number : 10-344855

(71)Applicant : NEC CORP

(22)Date of filing : 19.11.1998

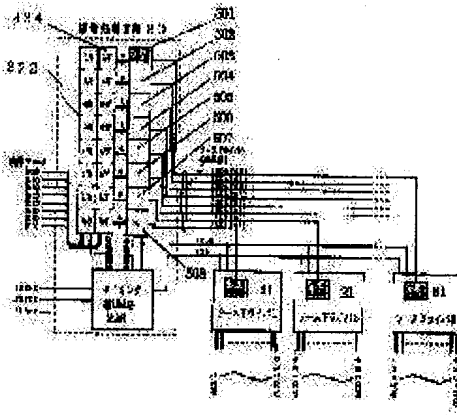
(72)Inventor : HORI YOSHIHIKO

(54) LIQUID CRYSTAL DISPLAY DEVICE AND VIDEO DATA TRANSFER METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To improve EMI resistance characteristics by reducing the length of wiring for connecting a signal processing circuit and a source driver, and avoiding increase in EMI caused by through-holes.

SOLUTION: Plural pieces of line memories 222 224 having memory capacities capable of storing video data at least for one display line and serial conversion circuits 501,..., 508 corresponding to the number of source drivers are arranged; the video data for the one display line stored in the 1st line memory 222 are divided into the number of the source drivers; the divided video data each are converted into serial data and transferred to the source drivers, and the video data are restored to parallel data by parallel conversion circuits in the source drivers and divided into eight pieces in 256-bit unit and paralleltransferred to a liquid crystal panel.



LEGAL STATUS

[Date of request for examination] 19.11.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3266119

[Date of registration] 11.01.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-155552

(P2000-155552A)

(43) 公開日 平成12年6月6日 (2000. 6. 6)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/20	6 3 3	G 0 9 G 3/20	6 3 3 B 2 H 0 9 3
	6 1 1		6 3 3 H 5 C 0 0 6
	6 2 3		6 1 1 C 5 C 0 8 0
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	6 2 3 J
			5 0 5

審査請求 有 請求項の数12 F I (全 16 頁) 最終頁に続く

(21) 出願番号 特願平10-344855

(22) 出願日 平成10年11月19日 (1998. 11. 19)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 堀 良彦

東京都港区芝五丁目7番1号 日本電気株式会社社内

(74) 代理人 10009/113

弁理士 堀 城之

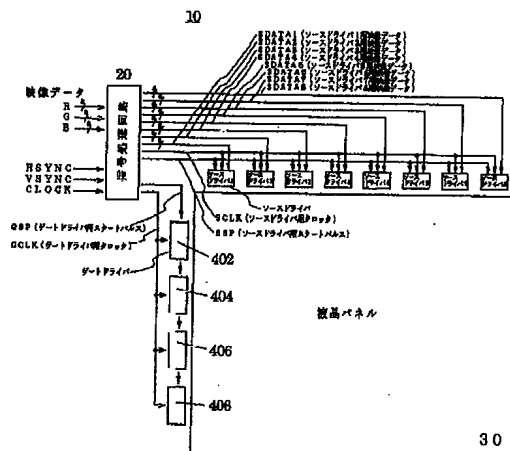
最終頁に続く

(54) 【発明の名称】 液晶表示装置及び映像データ転送方法

(57) 【要約】

【課題】 本発明は、信号処理回路とソースドライバとの間を結ぶ配線の長さを削減し、スルーホールに起因する E M I の増加を回避して耐電磁妨害特性の向上を図ることを課題とする。

【解決手段】 少なくとも 1 表示ライン分の映像データを記憶できるメモリ容量を有する複数個ラインメモリ 2 2 2, 2 2 4 とソースドライバの数に応じた数のシリアル変換回路 5 0 1, …, 5 0 8 とを信号処理回路 2 0 に設け、第 1 ラインメモリ 2 2 2 に蓄積されている 1 表示ライン分の映像データをソースドライバの数に分割し、分割した映像データの各々をシリアルデータに変換してソースドライバへ転送し、ソースドライバ内のパラレル変換回路で映像データをパラレルデータに復元して液晶パネル 3 0 に 2 5 6 ビット単位で 8 分割してパラレル転送する。



10…液晶表示装置
20…信号処理回路
30…表示手段 (液晶パネル)
402, …, 408…ゲートドライバ
CLOCK…同期クロック
GSP…ゲートドライバ用スタートパルス
GCLK…ゲートドライバ用クロック
HSYNC…水平同期信号
SCLK…ソースドライバ用クロック
SSP…ソースドライバ用スタートパルス
VSYNC…垂直同期信号

【特許請求の範囲】

【請求項1】 外部機器から入力された映像データを表示する液晶表示装置であって、
前記映像データの1表示ライン分を、表示手段を駆動するソースドライバの数に応じて分割する手段と、
当該分割ブロック毎の映像データをドットごとにシリアルに読み出し、更にドットごとのデータをシリアル形式に変換する手段と、
当該分割ブロックと当該ソースドライバとを1対1で対応させた状態で当該シリアル変換された映像データのシリアル転送を実行する手段と、
当該ソースドライバ毎に前記シリアル転送されてきたシリアル形式の前記映像データを所定ビット長にパラレル変換してパラレル形式の映像データを生成する手段と、
前記ソースドライバの各々からの当該パラレル形式の映像データを前記ソースドライバの配列に応じて組み合わせて1表示ライン分の映像データを復元する手段と、
前記復元された1表示ライン分の映像データを前記表示手段にパラレル転送して表示する手段とを有することを特徴とする液晶表示装置。

【請求項2】 外部機器から入力された映像データを表示する液晶表示装置であって、
前記映像データの1表示ライン分を、表示手段を駆動するソースドライバの数に応じて分割し、当該分割ブロック毎の映像データをシリアル形式の前記映像データにシリアル変換するとともに、当該分割ブロックと当該ソースドライバとを1対1で対応させた状態で当該シリアル変換された映像データのシリアル転送を実行する信号処理回路を有し、
前記信号処理回路に並列に接続され、各々が自己に前記シリアル転送されてきたシリアル形式の前記映像データを所定ビット長にパラレル変換してパラレル形式の映像データを生成する複数の前記ソースドライバと、
前記ソースドライバの各々からの当該パラレル形式の映像データを前記ソースドライバの配列に応じて組み合わせて前記1表示ライン分の映像データを復元するとともに、当該復元された1表示ライン分の映像データを前記表示手段にパラレル転送して表示する前記表示手段とを有することを特徴とする液晶表示装置。

【請求項3】 前記信号処理回路は、
前記映像データの1表示ライン分を、前記表示手段を駆動する前記ソースドライバの数に応じた前記分割ブロック数に分割して記憶する複数のラインメモリを有することを特徴とする請求項2に記載の液晶表示装置。

【請求項4】 前記信号処理回路は、
前記分割ブロックに1対1に対応して設けられ、前記ラインメモリの各々に記憶されている前記分割ブロック毎の映像データを、当該分割ブロックに対応させてシリアル形式の前記映像データにシリアル変換するシリアル変換回路を有することを特徴とする請求項2に記載の液晶

表示装置。

【請求項5】 前記シリアル変換回路は、前記分割ブロックと当該ソースドライバとを1対1で対応させた状態で当該シリアル変換された映像データのシリアル転送を実行することを特徴とする請求項4に記載の液晶表示装置。

【請求項6】 前記ソースドライバの各々は、
前記シリアル変換回路に1対1に対応して接続され、当該ソースドライバ毎に前記シリアル転送されてきたシリアル形式の前記映像データを所定ビット長にパラレル変換してパラレル形式の映像データを生成するパラレル変換回路を有することを特徴とする請求項2に記載の液晶表示装置。

【請求項7】 外部機器から入力された映像データを表示手段に転送するための映像データ転送方法であって、
前記映像データの1表示ライン分を、表示手段を駆動するソースドライバの数に応じて分割する工程と、
当該分割ブロック毎の映像データをシリアル形式の前記映像データにシリアル変換する工程と、
当該分割ブロックと当該ソースドライバとを1対1で対応させた状態で当該シリアル変換された映像データのシリアル転送を実行する工程と、
当該ソースドライバ毎に前記シリアル転送されてきたシリアル形式の前記映像データを所定ビット長にパラレル変換してパラレル形式の映像データを生成する工程と、
前工程からの当該パラレル形式の映像データを前記ソースドライバの配列に応じて組み合わせて1表示ライン分の映像データを復元する工程と、
前記復元された1表示ライン分の映像データを前記表示手段にパラレル転送して表示する工程とを有することを特徴とする映像データ転送方法。

【請求項8】 外部機器から入力された映像データを表示手段に転送するための映像データ転送方法であって、
前記映像データの1表示ライン分を、前記表示手段を駆動するソースドライバの数に応じて分割し、当該分割ブロック毎の映像データをシリアル形式の前記映像データにシリアル変換するとともに、当該分割ブロックと当該ソースドライバとを1対1で対応させた状態で当該シリアル変換された映像データのシリアル転送を実行する信号処理工程を有し、
前記ソースドライバの各々が自己に前記シリアル転送されてきたシリアル形式の前記映像データを所定ビット長にパラレル変換してパラレル形式の映像データを生成するソースドライバ工程と、
前記ソースドライバ工程からの当該パラレル形式の映像データを前記ソースドライバの配列に応じて組み合わせて前記1表示ライン分の映像データを復元するとともに、当該復元された1表示ライン分の映像データを前記表示手段にパラレル転送して表示する表示工程とを有することを特徴とする映像データ転送方法。

【請求項9】 前記信号処理工程は、前記映像データの1表示ライン分を、前記表示手段を駆動する前記ソースドライバの数に応じた前記分割ブロック数に分割して記憶するメモリ工程を有することを特徴とする請求項8に記載の映像データ転送方法。

【請求項10】 前記信号処理工程は、前記分割ブロックに1対1に対応して、前記メモリ工程の各々に記憶されている前記分割ブロック毎の映像データを、当該分割ブロックに対応させてシリアル形式の前記映像データにシリアル変換するシリアル変換工程を有することを特徴とする請求項8に記載の映像データ転送方法。

【請求項11】 前記シリアル変換工程は、前記分割ブロックと当該ソースドライバとを1対1で対応させた状態で当該シリアル変換された映像データのシリアル転送を実行することを特徴とする請求項10に記載の映像データ転送方法。

【請求項12】 前記ソースドライバ工程は、前記シリアル変換工程に1対1に対応して、当該ソースドライバ毎に前記シリアル転送されてきたシリアル形式の前記映像データを所定ビット長にパラレル変換してパラレル形式の映像データを生成するパラレル変換工程を有することを特徴とする請求項8に記載の映像データ転送方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フラットパネルディスプレイ技術に関し、特に、外部機器から入力された映像データを表示する液晶表示装置、及び外部機器から入力された映像データを表示手段に転送するための映像データ転送方法に属する。

【0002】

【従来の技術】従来、液晶表示装置のソースドライバまでの映像データの配線は、図8に示すように、外部の映像データのビット数の2倍、または、整数倍のビットでバスラインを構成していた。また、映像データのビット数が4ビットや6ビットとビット数が少なく、かつ、今日のように多ピン出力のソースドライバがなかったためにソースドライバを多数接続しなくてはならない場合は、バスラインを構成してそこにソースドライバを接続していた。

【0003】このような表示技術としては、例えば、特開平6-45508号公報に記載のものがある（第1従来技術）。すなわち、第1従来技術は、基板と、基板上に配置された複数の半導体駆動回路と、基板上で半導体駆動回路のそれぞれの近傍に配置された、半導体駆動回路にクロック信号を供給する複数の第1ボンディングパッドと、基板上で半導体駆動回路のそれぞれの近傍に配置された、半導体駆動回路にデータ信号を供給する複数の第2ボンディングパッドと、基板上に配置され且つ第

1ボンディングパッドのそれぞれに接続された複数のクロック信号線と、基板上に配置され且つ第2ボンディングパッドに接続された複数のデータ信号線とを備えている。複数のデータ信号線は、第2ボンディングパッド同士を互いに接続する第1線と、第1線にデータ信号を供給する第2線とを含んでいてもよいし、第1ボンディングパッドのそれぞれに接続されていてもよい。

【0004】半導体駆動回路は、トランジスタなどの個別半導体素子や個別半導体部品より構成してもよいし、多数の半導体素子を集積した集積回路（IC）としてもよい。第1従来技術では、クロック信号線と第1ボンディングパッドとを介して、半導体駆動回路に別個にクロック信号を供給することができるので、駆動回路毎にタイミングをずらしてクロック信号を供給すると、各駆動回路に独立してデータ信号を供給することができる。このため、従来の蛍光表示パネルのようなデータ信号出力用のボンディングパッド及び信号線が不要となり、ボンディングパッド数が減少する。その結果、駆動回路周辺の配線密度が低減される。

【0005】また、配線密度の低減により駆動回路とボンディングパッドとの距離を適正な距離に保つことができるため、それらをワイヤボンディングした際の信頼性を従来の蛍光表示パネルよりも向上することができることが記載されている。

【0006】また、このような表示技術としては、例えば、特開平6-148665号公報に記載のものがある（第2従来技術）。すなわち、第2従来技術は、液晶表示素子のガラス基板上に複数の駆動用回路素子を搭載すると共にこれらの回路素子への入出力配線群と外部からの入力ターミナル領域を備えた液晶表示装置において、入力ターミナル領域に設けられる入力配線群を駆動用回路素子に対して共通に使用されるバスライン用配線と、駆動用回路素子ごとに独立して使用される専用配線とを有している。第2従来技術では、入力配線のインピーダンスは液晶表示素子の表示特性に影響を与えるが、その影響度はすべての配線において同等ではなく、配線の用途によって影響の小さいものと大きいものがある。また、影響の小さい配線群と大きい配線群とを選別し、影響の小さい用途の配線群は一つの外部入力ターミナルからバスラインによって各駆動用回路素子に給電するようにし、影響の大きい用途の配線群は各駆動用回路素子ごとに独立して給電できるようにしたのであり、影響の大きい用途の配線群は専用配線でインピーダンスを低くすることが容易なため良好な表示特性が得られ、その他の用途はバスラインによって接続されるため入力ターミナル領域の個数の増加が抑えられることが記載されている。

【0007】

【発明が解決しようとする課題】しかしながら、第1、2従来技術において、今日のように映像データのビット

数が増え、かつ、要求される映像データの転送速度が高速化してくると、バスラインの転送周波数またはソースドライバの動作周波数の上限に限界があるために、バスラインのビット数を映像データの整数倍にしなければならない状況になり、配線がプリント基板を占有する面積の増加や配線の増加によるEMI（電磁妨害：electromagnetic interference）の悪化などが問題となってきた。

【0008】本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、信号処理回路とソースドライバとの間を結ぶ配線の長さを削減し、スルーホールに起因するEMIの増加を回避して耐電磁妨害特性の向上を図ることができる液晶表示装置及び映像データ転送方法を提供する点にある。

【0009】

【課題を解決するための手段】本発明の請求項1に記載の要旨は、外部機器から入力された映像データを表示する液晶表示装置であって、前記映像データの1表示ライン分を、表示手段を駆動するソースドライバの数に応じて分割する手段と、当該分割ブロック毎の映像データをドットごとにシリアルに読み出し、更にドットごとのデータをシリアル形式に変換する手段と、当該分割ブロックと当該ソースドライバとを1対1で対応させた状態で当該シリアル変換された映像データのシリアル転送を実行する手段と、当該ソースドライバ毎に前記シリアル転送されてきたシリアル形式の前記映像データを所定ビット長にパラレル変換してパラレル形式の映像データを生成する手段と、前記ソースドライバの各々からの当該パラレル形式の映像データを前記ソースドライバの配列に応じて組み合わせて1表示ライン分の映像データを復元する手段と、前記復元された1表示ライン分の映像データを前記表示手段にパラレル転送して表示する手段とを有することを特徴とする液晶表示装置に存する。また本発明の請求項2に記載の要旨は、外部機器から入力された映像データを表示する液晶表示装置であって、前記映像データの1表示ライン分を、表示手段を駆動するソースドライバの数に応じて分割し、当該分割ブロック毎の映像データをシリアル形式の前記映像データにシリアル変換するとともに、当該分割ブロックと当該ソースドライバとを1対1で対応させた状態で当該シリアル変換された映像データのシリアル転送を実行する信号処理回路を有し、前記信号処理回路に並列に接続され、各々が自己に前記シリアル転送されてきたシリアル形式の前記映像データを所定ビット長にパラレル変換してパラレル形式の映像データを生成する複数の前記ソースドライバと、前記ソースドライバの各々からの当該パラレル形式の映像データを前記ソースドライバの配列に応じて組み合わせて前記1表示ライン分の映像データを復元するとともに、当該復元された1表示ライン分の映像データを前記表示手段にパラレル転送して表示する前記表示手段

とを有することを特徴とする液晶表示装置に存する。また本発明の請求項3に記載の要旨は、前記信号処理回路は、前記映像データの1表示ライン分を、前記表示手段を駆動する前記ソースドライバの数に応じた前記分割ブロック数に分割して記憶する複数のラインメモリを有することを特徴とする請求項2に記載の液晶表示装置に存する。また本発明の請求項4に記載の要旨は、前記信号処理回路は、前記分割ブロックに1対1に対応して設けられ、前記ラインメモリの各々に記憶されている前記分割ブロック毎の映像データを、当該分割ブロックに対応させてシリアル形式の前記映像データにシリアル変換するシリアル変換回路を有することを特徴とする請求項2に記載の液晶表示装置に存する。また本発明の請求項5に記載の要旨は、前記シリアル変換回路は、前記分割ブロックと当該ソースドライバとを1対1で対応させた状態で当該シリアル変換された映像データのシリアル転送を実行することを特徴とする請求項4に記載の液晶表示装置に存する。また本発明の請求項6に記載の要旨は、前記ソースドライバの各々は、前記シリアル変換回路に1対1に対応して接続され、当該ソースドライバ毎に前記シリアル転送されてきたシリアル形式の前記映像データを所定ビット長にパラレル変換してパラレル形式の映像データを生成するパラレル変換回路を有することを特徴とする請求項2に記載の液晶表示装置に存する。また本発明の請求項7に記載の要旨は、外部機器から入力された映像データを表示手段に転送するための映像データ転送方法であって、前記映像データの1表示ライン分を、表示手段を駆動するソースドライバの数に応じて分割する工程と、当該分割ブロック毎の映像データをシリアル形式の前記映像データにシリアル変換する工程と、当該分割ブロックと当該ソースドライバとを1対1で対応させた状態で当該シリアル変換された映像データのシリアル転送を実行する工程と、当該ソースドライバ毎に前記シリアル転送されてきたシリアル形式の前記映像データを所定ビット長にパラレル変換してパラレル形式の映像データを生成する工程と、前工程からの当該パラレル形式の映像データを前記ソースドライバの配列に応じて組み合わせて1表示ライン分の映像データを復元する工程と、前記復元された1表示ライン分の映像データを前記表示手段にパラレル転送して表示する工程とを有することを特徴とする映像データ転送方法に存する。また本発明の請求項8に記載の要旨は、外部機器から入力された映像データを表示手段に転送するための映像データ転送方法であって、前記映像データの1表示ライン分を、前記表示手段を駆動するソースドライバの数に応じて分割し、当該分割ブロック毎の映像データをシリアル形式の前記映像データにシリアル変換するとともに、当該分割ブロックと当該ソースドライバとを1対1で対応させた状態で当該シリアル変換された映像データのシリアル転送を実行する信号処理工程を有し、前記ソースド

ライバの各々が自己に前記シリアル転送されてきたシリアル形式の前記映像データを所定ビット長にパラレル変換してパラレル形式の映像データを生成するソースドライバ工程と、前記ソースドライバ工程からの当該パラレル形式の映像データを前記ソースドライバの配列に応じて組み合わせて前記1表示ライン分の映像データを復元するとともに、当該復元された1表示ライン分の映像データを前記表示手段にパラレル転送して表示する表示工程とを有することを特徴とする映像データ転送方法に存する。また本発明の請求項9に記載の要旨は、前記信号処理工程は、前記映像データの1表示ライン分を、前記表示手段を駆動する前記ソースドライバの数に応じた前記分割ブロック数に分割して記憶するメモリ工程を有することを特徴とする請求項8に記載の映像データ転送方法に存する。また本発明の請求項10に記載の要旨は、前記信号処理工程は、前記分割ブロックに1対1に対応して、前記メモリ工程の各々に記憶されている前記分割ブロック毎の映像データを、当該分割ブロックに対応させてシリアル形式の前記映像データにシリアル変換するシリアル変換工程を有することを特徴とする請求項8に記載の映像データ転送方法に存する。また本発明の請求項11に記載の要旨は、前記シリアル変換工程は、前記分割ブロックと当該ソースドライバとを1対1で対応させた状態で当該シリアル変換された映像データのシリアル転送を実行することを特徴とする請求項10に記載の映像データ転送方法に存する。また本発明の請求項12に記載の要旨は、前記ソースドライバ工程は、前記シリアル変換工程に1対1に対応して、当該ソースドライバ毎に前記シリアル転送されてきたシリアル形式の前記映像データを所定ビット長にパラレル変換してパラレル形式の映像データを生成するパラレル変換工程を有することを特徴とする請求項8に記載の映像データ転送方法に存する。

【0010】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0011】図1は、本発明の映像データ転送方法を実行する液晶表示装置10の一実施形態を説明するための機能ブロック図である。本実施形態では、液晶表示装置10に、少なくとも1表示ライン分(1024ドット分、各ドットは、8ビットで構成)の映像データを記憶できるメモリ容量を有する複数個ラインメモリ222、224とソースドライバ1(2, ..., 8)の数に応じた数のシリアル変換回路501, ..., 508とを信号処理回路20に設け、液晶表示装置10に入力された映像データを第1ラインメモリ222に記憶し、第1ラインメモリ222に映像データが1表示ライン分(1024ドット分)蓄積された後、この第1ラインメモリ222に蓄積されている1表示ライン分(1024ドット分)の映像データをソースドライバ1(2, ..., 8)の数(=

8)に分割し、分割した映像データ(=1024/8=128ドット分)の各々をシリアル形式の前記映像データに変換してソースドライバ1(2, ..., 8)へ転送し、ソースドライバ1(2, ..., 8)内のパラレル変換回路11(21, ..., 81)で映像データ(128ビット×8=1024ビット)をパラレル形式の映像データに復元して液晶パネル30に256ビット単位で8分割してパラレル転送する一方、次の表示ライン分(1024ドット分)の映像データを第2ラインメモリ224に記憶し、第2ラインメモリ224に映像データが1表示ライン分(1024ドット分)蓄積された後、この第2ラインメモリ224の映像データをソースドライバ1(2, ..., 8)の数(=8)に分割し、分割した映像データ(=1024/8=128ドット)の各々のドットごとのデータ(この例では8ビット)をシリアル形式の前記映像データに変換してソースドライバ1(2, ..., 8)へ転送し、ソースドライバ1(2, ..., 8)内の(図9にソースドライバのブロック図を示す)パラレル変換回路11(21, ..., 81)で各々のドットごとのデータを8ビットパラレル形式のデータに復元してからソースドライバ内のシフトレジスタとラッチで行方向に展開し、液晶パネル30に転送し、以後同様に処理をすることを特徴としている。ソースドライバ内のディレイ回路はこの例のパラレル変換の場合、映像データが入力されはじめてから8クロック後からパラレル形式の映像データが出力されるため、8クロック分、映像データを行方向に展開するためのシフトレジスタとラッチが動作を開始する時間を遅らせるためである。また、1/8分周回路は、パラレル形式の映像データが8クロック毎にパラレル変換回路から出力されるためである。

【0012】本実施形態では、R、G、B各8ビットの映像データを表示する液晶表示装置10を想定している。本実施形態による液晶表示装置10は、主に、液晶パネル30、第1ラインメモリ222とシリアル変換回路501(502, ..., 508)を備えた信号処理回路20、パラレル変換回路11(21, ..., 81)を備えたソースドライバ1(2, ..., 8)、パーソナルコンピュータ等の外部機器から入力されるVSYNC、HSYNCを元に生成されるゲートドライバ用スタートパルスGSPに応じて動作を開始しゲートドライバ用クロックGCLKに同期してゲート動作を行うゲートドライバ402, ..., 408を有し、本実施形態では、特に、信号処理回路20からソースドライバ1(2, ..., 8)へ映像データのドットのデータを更にシリアル変換して転送する方法に特徴がある。

【0013】パーソナルコンピュータ等の外部機器から入力される同期クロックCLOCK及び水平同期信号HSYNC及び垂直同期信号VSYNCに応じて、信号処理回路20は、R(赤)、G(緑)、B(青)各8ビットの映像データを第1ラインメモリ222に記憶し、1

表示ライン分(1024ドット分)の映像データが蓄積された後、映像データをソースドライバの数に分割し、シリアル変換してソースドライバ1(2, ..., 8)の各々にシリアル転送する。ソースドライバの数は、映像データまたはソースドライバ1(2, ..., 8)のビット数に等しいことが望ましい(例えば、映像データがR, G, B各8ビットであるならば、ソースドライバ1(2, ..., 8)も8個)が、特に制限するものではない。この間に、次の表示ライン分(1024ドット分)の映像データが入力された場合、この次の1表示ライン分(1024ドット分)の映像データを第2ラインメモリ224に読み込む。

【0014】図1の場合は、R, G, B各2ビットの映像データSDATA1(SDATA2, ..., SDATA8)にシリアル変換している。

【0015】なお、映像データSDATA1(SDATA2, ..., SDATA8)のビット数(同時に転送されるビット数)は、(映像データの転送速度)÷(ソースドライバ1(2, ..., 8)の動作周波数の限界)でできる。

【0016】ソースドライバ用スタートパルスSSPに応じてソースドライバ1(2, ..., 8)の各々はシリアル変換されて信号処理回路20から出力される映像データの受信を開始する。映像データSDATA1(SDATA2, ..., SDATA8)の各々は、ソースドライバ用クロックSCLKに同期して、対応するソースドライバ1(2, ..., 8)に入力され、ソースドライバ1(2, ..., 8)でパラレル変換されて液晶パネル30を駆動する映像データとして使用される。

【0017】このような仕組みにより、信号処理回路20とソースドライバ1(2, ..., 8)の間の配線は、1対1で結ばれることになる。換言すれば、液晶表示装置10の構造上、ソースドライバ1(2, ..., 8)は、必ず一直線上に配置される。このため信号処理回路20の出力の本数が同じで、ソースドライバ1(2, ..., 8)への配線を1対1で配線することができるならば、ソースドライバ1(2, ..., 8)までの映像データの配線の総延長は、短くすることができる。

【0018】また、従来の方法でのソースドライバ1(2, ..., 8)までの配線の本数と、本実施形態を用いたソースドライバ1(2, ..., 8)までの配線の本数が等しいならば、どちらも同じ周波数で転送することができる。映像データの配線の総延長が短くなるならば、EMIに対して効果が得られる。

【0019】図2は、図1の液晶表示装置10における信号処理回路20及びソースドライバ1(2, ..., 8)の一接続形態を示す回路図である。本来は、映像データは、R, G, Bの3系統あるが、各々構成が同じであるため、説明を簡単にするために、図2では1系統分のみについて説明する。

【0020】本実施形態では、映像データは8ビット(BIT1, ..., BIT8)で構成され、液晶パネル30を駆動するソースドライバは8個(すなわち、1, ..., 8)で構成されて水平方向に1024ドットを備えた液晶パネル30を駆動する。

【0021】信号処理回路20は、メモリ領域1/8~8/8(8ビット構成)で構成される第1ラインメモリ222とメモリ領域1/8'~8/8'(8ビット構成)で構成される第2ラインメモリ224を有する。

【0022】タイミング制御回路226は、パーソナルコンピュータ等の外部機器から入力される同期クロックCLOCK及び水平同期信号HSYNC及び垂直同期信号VSYNCに応じて、第1ラインメモリ222及び第2ラインメモリ224に与える制御信号、ソースドライバ1, ..., 8に与えるソースドライバ用スタートパルスSSPやソースドライバ用クロックSCLKを生成する。

【0023】第1ラインメモリ222の1/8と第2ラインメモリ224の1/8'とは各々、ソースドライバ1に書き込む映像データを記憶する領域である。第1ラインメモリ222の2/8と第2ラインメモリ224の2/8'とは各々、ソースドライバ2に書き込む映像データを記憶する領域である。

【0024】ソースドライバ1(2, ..., 8)が8個であるため、第1ラインメモリ222は、メモリ領域1/8~8/8(8ビット構成)の8個のメモリで構成される。同様に、第2ラインメモリ224は、メモリ領域1/8'~8/8'(8ビット構成)の8個のメモリで構成される。映像データが8ビットで、ソースドライバ1(2, ..., 8)の出力ドット数が128ドットであるため、第1ラインメモリ222の8個のメモリ領域1/8~8/8(8ビット構成)、第2ラインメモリ224の8個のメモリ領域1/8'~8/8'(8ビット構成)の大きさは、 $8\text{ bit} \times 128 = 1024\text{ bit}$ となる。

【0025】第1ラインメモリ222のメモリ領域1/8~8/8(8ビット構成)と第2ラインメモリ224のメモリ領域1/8'~8/8'(8ビット構成)は、映像データの1表示ライン毎に入力と出力を交換し、第1ラインメモリ222のメモリ領域1/8~8/8(8ビット構成)に映像データを書き込んでいる間は、第2ラインメモリ224のメモリ領域1/8'~8/8'(8ビット構成)は、各々の領域毎に映像データ(8ビットデータ)を出力し、また、第2ラインメモリ224のメモリ領域1/8'~8/8'(8ビット構成)に映像データを書き込んでいる間は、メモリ領域1/8~8/8(8ビット構成)'は、各々の領域毎に映像データ(8ビットデータ)を出力する。

【0026】信号処理回路20は、第1ラインメモリ222の出力した、ソースドライバ1(2, ..., 8)毎に

分けられた領域の映像データをシリアル変換回路501 (502, ..., 508) で映像データSDATA1 (SDATA2, ..., SDATA8) に変換し、各ソースドライバ1 (2, ..., 8) 毎にシリアル転送する。

【0027】ソースドライバ1 (2, ..., 8) には、従来のソースドライバ1 (2, ..., 8) の回路のほかに、映像データSDATA1 (SDATA2, ..., SDATA8) に変換された1表示ライン分 (1024ビット分) の映像データをパラレル形式の映像データに復元するための、128ビットパラレル出力ができるパラレル変換回路11 (21, ..., 81) を設けておく。

【0028】タイミング制御回路226は、パーソナルコンピュータ等の外部機器から入力される同期クロックCLOCK、水平同期信号HSYNC及び垂直同期信号VSYNCに基づいて、第1ラインメモリ222へのデータの読み書きのタイミングの制御、第1ラインメモリ222の切り替え、シリアル変換回路501 (502, ..., 508) の制御、ドライバの制御などを行う。

【0029】本実施形態の動作を図3のタイミング図を用いて説明する。図3は、図1の液晶表示装置10の動作を説明するためのタイミングチャートである。

【0030】本実施形態では、映像データは8ビットであり、図中の映像データDATA1は1ドット目の映像データ、映像データDATA2は2ドット目の映像データを意味する。映像データは、映像データDATA1024まで用意されている。

【0031】映像データは、8ビットパラレル形式の映像データ (BIT1, ..., BIT8) として、映像データDATA1、映像データDATA2, ..., 映像データDATA1024の順で信号処理回路20に入力され、第1ラインメモリ222のメモリ領域1/8, ..., 8/8に順次書き込まれる。

【0032】信号処理回路20は、メモリ領域8/8まで映像データを第1ラインメモリ222に書き込み終わった後、次の表示ライン分 (1024ドット分) の映像データを、第2ラインメモリ224のメモリ領域1/8' から順次書き込んでいく。

【0033】第1ラインメモリ222のメモリ領域1/8に接続するシリアル変換回路501は、映像データDATA1のBIT1~BIT8、映像データDATA2のBIT1~BIT8, ..., 映像データDATA128のBIT1~BIT8の順に、映像データをソースドライバ1に出力する。第1ラインメモリ222のメモリ領域2/8に接続するシリアル変換回路502は、映像データDATA129のBIT1~BIT8、映像データDATA130のBIT1~BIT8, ..., 映像データDATA256のBIT1~BIT8の順に、映像データをソースドライバ2に出力する。同様に、第1ラインメモリ222のメモリ領域8/8に接続するシリアル変換回路508は、映像データDATA897のBIT1

~BIT8、映像データDATA898のBIT1~BIT8, ..., 映像データDATA1024のBIT1~BIT8の順に、映像データをソースドライバ8に出力する。

【0034】第2ラインメモリ224のメモリ領域1/8' に接続するシリアル変換回路501は、映像データDATA1のBIT1~BIT8、映像データDATA2のBIT1~BIT8, ..., 映像データDATA128のBIT1~BIT8の順に、映像データをソースドライバ1に出力する。一方、第2ラインメモリ224のメモリ領域2/8' に接続するシリアル変換回路502は、映像データDATA129のBIT1~BIT8、映像データDATA130のBIT1~BIT8, ..., 映像データDATA256のBIT1~BIT8の順に、映像データをソースドライバ2に出力する。同様に、第2ラインメモリ224のメモリ領域8/8' に接続するシリアル変換回路508は、映像データDATA897のBIT1~BIT8、映像データDATA898のBIT1~BIT8, ..., 映像データDATA1024のBIT1~BIT8の順に、映像データをソースドライバ8に出力する。

【0035】なお、本実施形態においては映像データの出力順、ビットの最下位ビットLSB、最上位ビットMSBの順を制限されるものではない。

【0036】シリアル変換回路501で映像データSDATA1にシリアル変換し、順次ソースドライバ1にシリアル転送し、ソースドライバ1内部のパラレル変換回路11で8ビットの1ドット分の映像データに復元し、128ドット分 (出力1~出力128) の映像データをそれぞれの出力に割り当てる。また、シリアル変換回路502で映像データSDATA2にシリアル変換し、順次ソースドライバ2にシリアル転送し、ソースドライバ2内部のパラレル変換回路21で128ドット分 (出力129~出力255) の映像データをパラレル形式の映像データに復元する。同様に、シリアル変換回路508で映像データSDATA8にシリアル変換し、順次ソースドライバ8にシリアル転送し、ソースドライバ8内部のパラレル変換回路81で128ドット分 (出力897~出力1024) の映像データをパラレル形式の映像データに復元する。

【0037】信号処理回路20は、以後、次の表示ライン以降も第1ラインメモリ222のメモリ領域1/8~8/8 (8ビット構成) と第2ラインメモリ224のメモリ領域1/8' ~8/8' (8ビット構成) を交互に切り替えながら上記と同様の処理を実行して、各ソースドライバ1 (2, ..., 8) への映像データのシリアル転送を行う。

【0038】図7は、従来の液晶表示装置を説明するための機能ブロック図であり、図4は、図7の液晶表示装置における信号処理回路及びソースドライバの接続形態

を示す回路図であり、図5は、図7の液晶表示装置における各ソースドライバの一配線形態を示す回路図である。

【0039】図7に示す従来の液晶表示装置は、図4、5に示すように、ソースドライバ1(2, ..., 8)の各々の入力に48ピン接続する必要があるため、信号処理回路から一番最後のソースドライバまで48本の映像データの配線が必要となる。

【0040】図6は、図1の液晶表示装置10における各ソースドライバ1(2, ..., 8)の一配線形態を示す回路図である。本実施形態の液晶表示装置10では、図6に示すように、信号処理回路20からは48本の映像データの配線が出ているものの、ソースドライバ1(2, ..., 8)を通る毎に6本ずつ配線が減るため、結果として、配線の長さが半分になる。さらに、図には示さないが、ソースドライバ4とソースドライバ6との間に信号処理回路20がくるように配置すれば、液晶表示装置10の全体の配線の長さが、さらに半分になり、図7に示す従来の液晶表示装置の構成に比べて、およそ1/4の長さの配線量で済むことになり、配線量の削減を図ることができる。

【0041】このように、映像データのような高周波の信号が通る配線が少なくなることにより、EMI(電磁妨害: electromagnetic interference)のような不要電磁放射を抑えることも容易になる。また、信号処理回路20とソースドライバ1(2, ..., 8)の間の配線が1対1で結ばれることから、他のソースドライバへの影響を考えずにEMIの対策を施すことが可能となる。また、図7に示す従来の液晶表示装置のような構成では、最後のソースドライバを除いて、図5に示すようにすべてのソースドライバへの配線に少なくとも47個の信号の交差が発生する。すなわち、従来の液晶表示装置には、実際の液晶表示装置のプリント基板上に、ソースドライバ各々に対応した47個のスルーホールを用意する必要があるという問題点があり、その結果、プリント基板の面積を小さくすることが難しくなるといった問題点があり、スルーホールに起因するEMIの増加などの問題点があるが、本実施形態ではこれらの問題点も改善できる。

【0042】図8は、図7の液晶表示装置の動作を説明するためのタイミングチャートである。従来の液晶表示装置では図8に示すようなパラレル形式の映像データを用いた表示動作を実行するため、ソースドライバの入力端子が48本必要となるが、本実施形態ではソースドライバの入力端子の本数をシリアル変換に応じて削減でき(例えば、本実施形態(図1)の構成の場合は6本で済む)、その結果、入力端子の接続性の確保、及びソースドライバ1(2, ..., 8)の小型化等を実現できる。

【0043】以上本実施形態を要約すれば、少なくとも表示2ライン分の映像データを記憶できる量のラインメ

モリ222, 224とシリアル変換回路501, ..., 508を信号処理回路20に設け、信号処理回路20で受けた1表示ライン分(1024ビット分)の映像データをソースドライバの数(=8)に分割し、分割した映像データの各々を対応するソースドライバ1(2, ..., 8)へシリアル形式の前記映像データに変換してシリアル転送し、シリアル形式の前記映像データに変換されてシリアル転送されてきた映像データをソースドライバ1(2, ..., 8)の各々を用いてパラレル形式の映像データに復元して液晶パネル30に256ビット単位で8分割してパラレル転送させる。これにより、ソースドライバ1(2, ..., 8)の位置が液晶パネル30の大きさにより必然的に決まるような表示装置(特に液晶表示装置10)において、信号処理回路20とソースドライバ1(2, ..., 8)との間を結ぶ配線の長さを液晶表示装置10全体で見ても従来(図10: 総配線長=8L)のおおよそ1/2(図11: 総配線長=4L)~1/4(図12: 総配線長=2.29L)程度に削減することができる。

【0044】なお、本実施の形態においては、本発明は液晶表示装置に限定されず、本発明を適用する上で好適なプラズマディスプレイ、ELディスプレイ、LEDディスプレイ、FED(Field Emission Display)等のソースドライバの位置が液晶パネルの大きさにより必然的に決まるようなフラットパネルディスプレイに適用することができる。また、上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができる。また、各図において、同一構成要素には同一符号を付している。

【0045】

【発明の効果】本発明は、ソースドライバの位置がフラットパネルディスプレイ(液晶パネル)の大きさにより必然的に決まるような表示装置(特に液晶表示装置)において、信号処理回路とソースドライバとの間を結ぶ配線の長さを液晶表示装置全体で見ても従来のおおよそ1/2~1/4程度に削減することができる。

【0046】さらに、映像データのような高周波の信号が通る配線が少なくなることにより、EMI(電磁妨害: electromagnetic interference)のような不要電磁放射を抑えることも容易になる。また、信号処理回路とソースドライバの間の配線が1対1で結ばれることから、他のソースドライバへの影響を考えずにEMIの対策を施すことが可能となる。また、液晶表示装置のプリント基板上に、ソースドライバ各々に対応した多数のスルーホールを用意する必要がなくなる。その結果、プリント基板の面積を小さくすることが可能となり、スルーホールに起因するEMIの増加を回避でき、耐電磁妨害特性の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置を実行する液晶表示装置の一実施形態を説明するための機能ブロック図である。

【図2】図1の液晶表示装置における信号処理回路及びソースドライバの一接続形態を示す回路図である。

【図3】図1の液晶表示装置の動作を説明するためのタイミングチャートである。

【図4】図7の液晶表示装置における信号処理回路及びソースドライバの接続形態を示す回路図である。

【図5】図7の液晶表示装置における各ソースドライバの一配線形態を示す回路図である。

【図6】図1の液晶表示装置における各ソースドライバの一配線形態を示す回路図である。

【図7】従来の液晶表示装置を説明するための機能ブロック図である。

【図8】図7の液晶表示装置の動作を説明するためのタイミングチャートである。

【図9】図1の液晶表示装置におけるソースドライバの一形態を示すブロック図である。

【図10】液晶表示装置に従来の方法でのソースドライバへの配線形態を示す図である。

【図11】本発明におけるソースドライバへの一配線形態を示す図である。

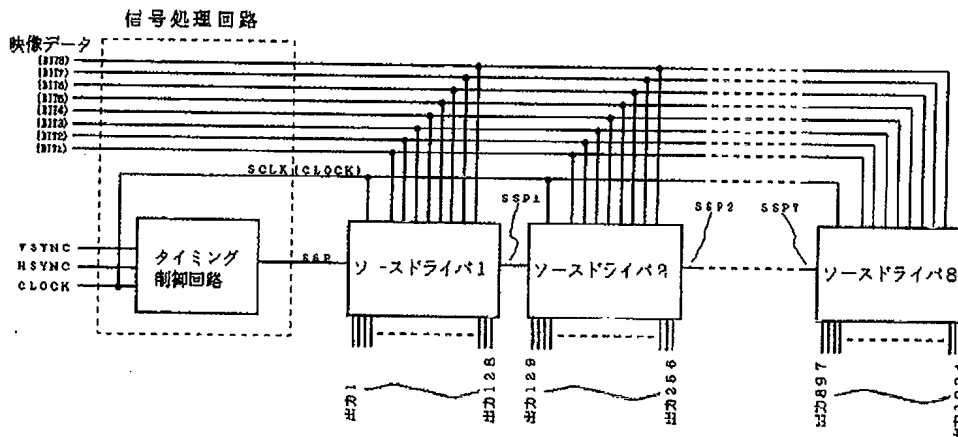
【図12】本発明におけるソースドライバへの一配線形態を示す図である。

【符号の説明】

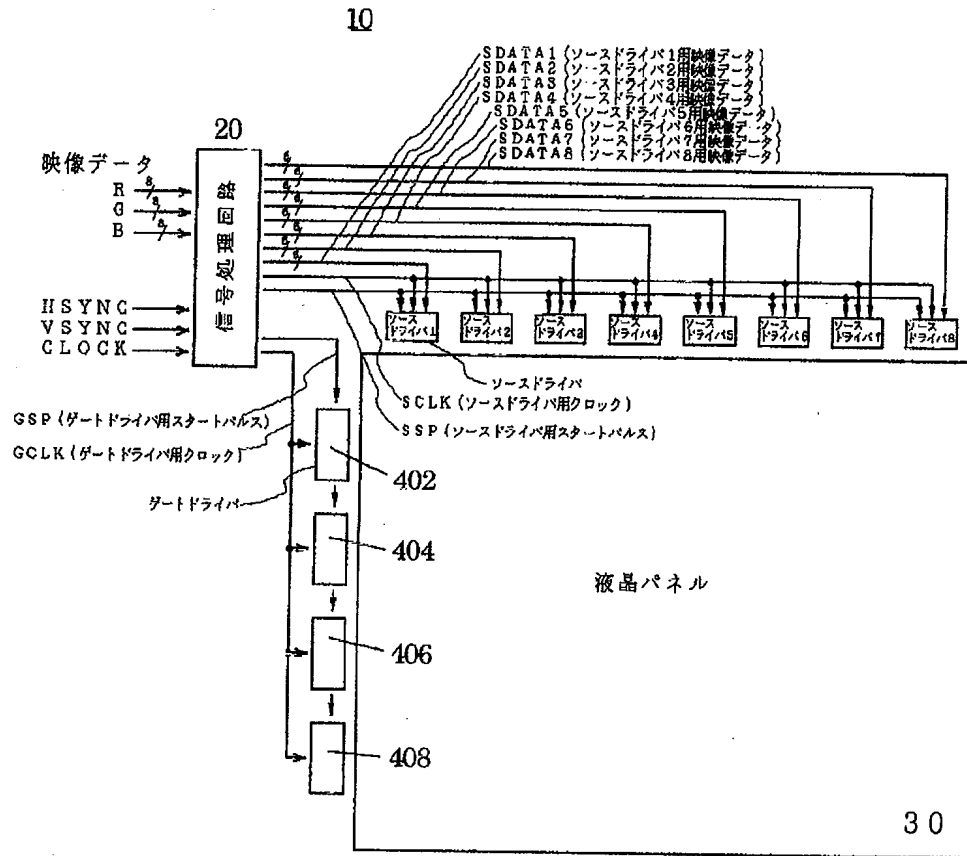
- 1, ..., 8...ソースドライバ
10...液晶表示装置
11, 21, ..., 81...パラレル変換回路
20...信号処理回路

- 222...第1ラインメモリ
224...第2ラインメモリ
226...タイミング制御回路
30...表示手段(液晶パネル)
402, ..., 408...ゲートドライバ
501, ..., 508...シリアル変換回路
CLOCK...同期クロック
GSP...ゲートドライバ用スタートパルス
GCLK...ゲートドライバ用クロック
HSYNC...水平同期信号
SCLK...ソースドライバ用クロック
SDATA1...ソースドライバ1用映像データ(シリアル形式の前記映像データ)
SDATA2...ソースドライバ2用映像データ(シリアル形式の前記映像データ)
SDATA3...ソースドライバ3用映像データ(シリアル形式の前記映像データ)
SDATA4...ソースドライバ4用映像データ(シリアル形式の前記映像データ)
SDATA5...ソースドライバ5用映像データ(シリアル形式の前記映像データ)
SDATA6...ソースドライバ6用映像データ(シリアル形式の前記映像データ)
SDATA7...ソースドライバ7用映像データ(シリアル形式の前記映像データ)
SDATA8...ソースドライバ8用映像データ(シリアル形式の前記映像データ)
SSP...ソースドライバ用スタートパルス
VSYNC...垂直同期信号

【図4】



【図1】



10…液晶表示装置

20…信号処理回路

30…表示手段 (液晶パネル)

402, …, 408…ゲートドライバ

CLOCK…同期クロック

GSP…ゲートドライバ用スタートパルス

GCLK…ゲートドライバ用クロック

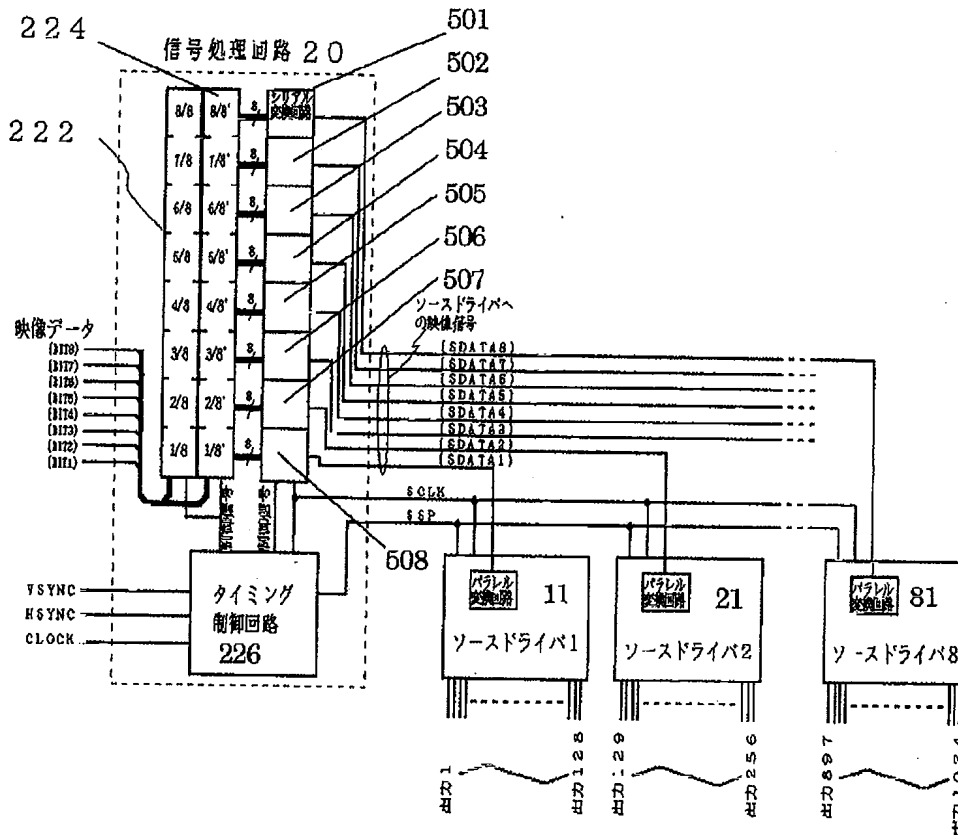
HSYNC…水平同期信号

SCLK…ソースドライバ用クロック

SSP…ソースドライバ用スタートパルス

VSYNC…垂直同期信号

【図2】



11, 21, ..., 81...パラレル変換回路

20...信号処理回路

222...第1ラインメモリ

224...第2ラインメモリ

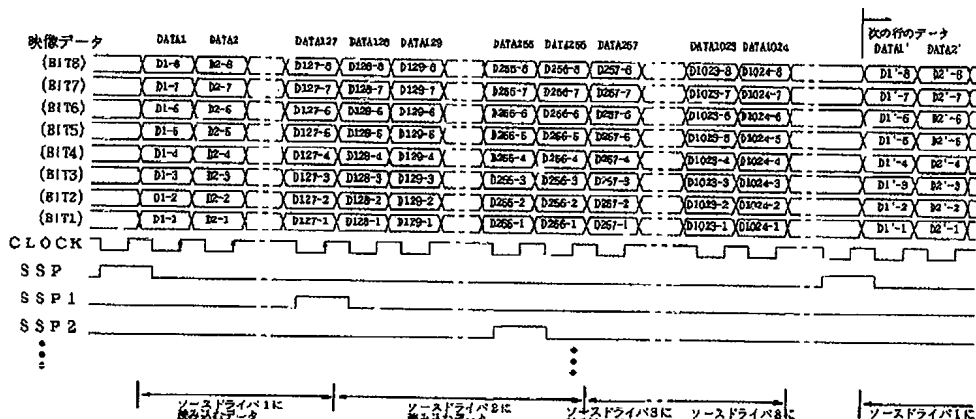
226...タイミング制御回路

501, ..., 508...シリアル変換回路

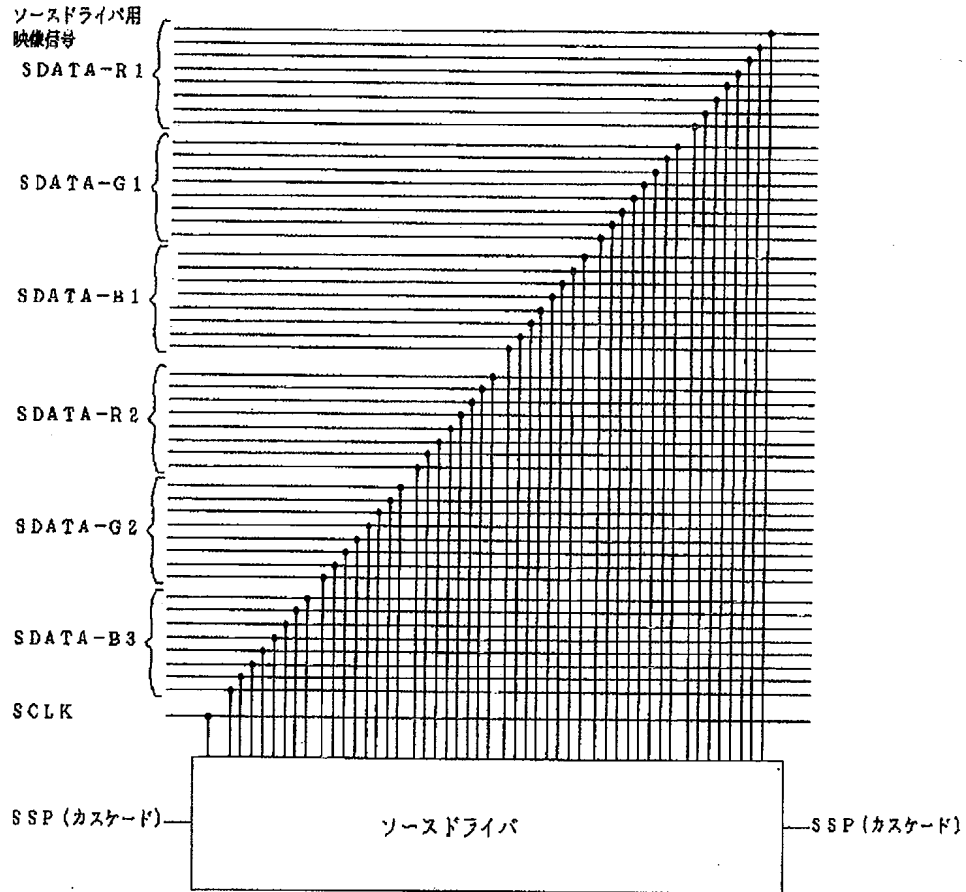
CLOCK...同期クロック

HSYNC...水平同期信号

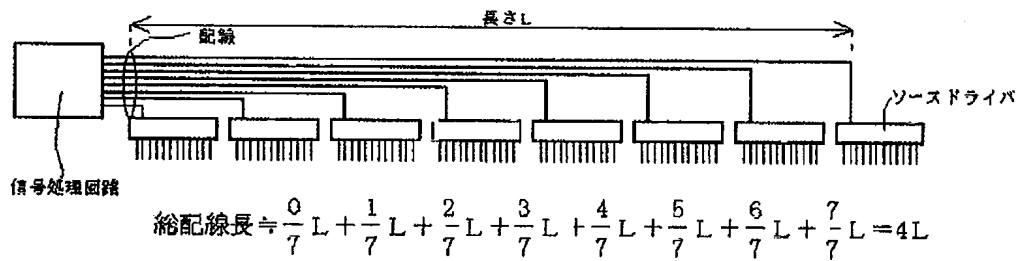
VSYNC...垂直同期信号



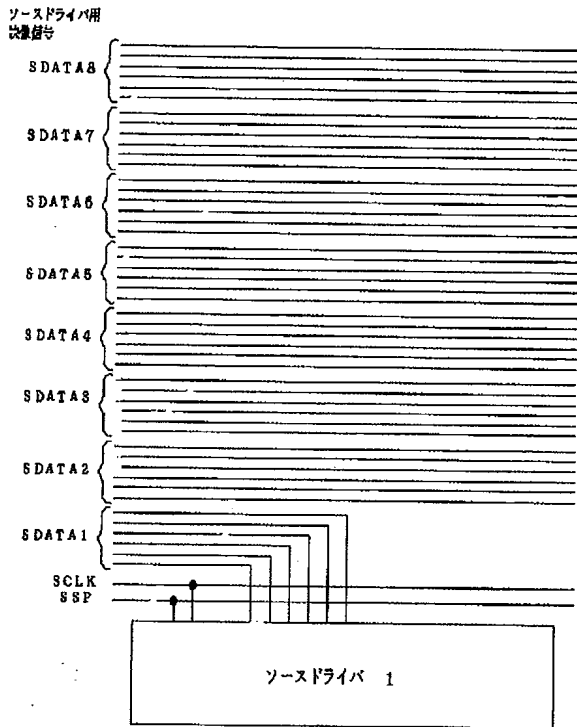
【図5】



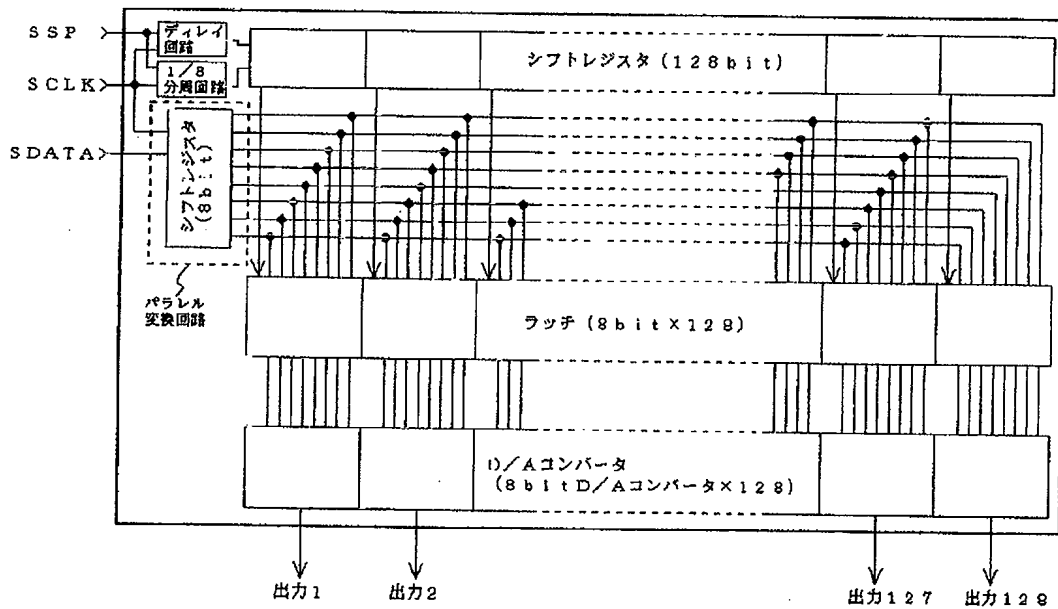
【図11】



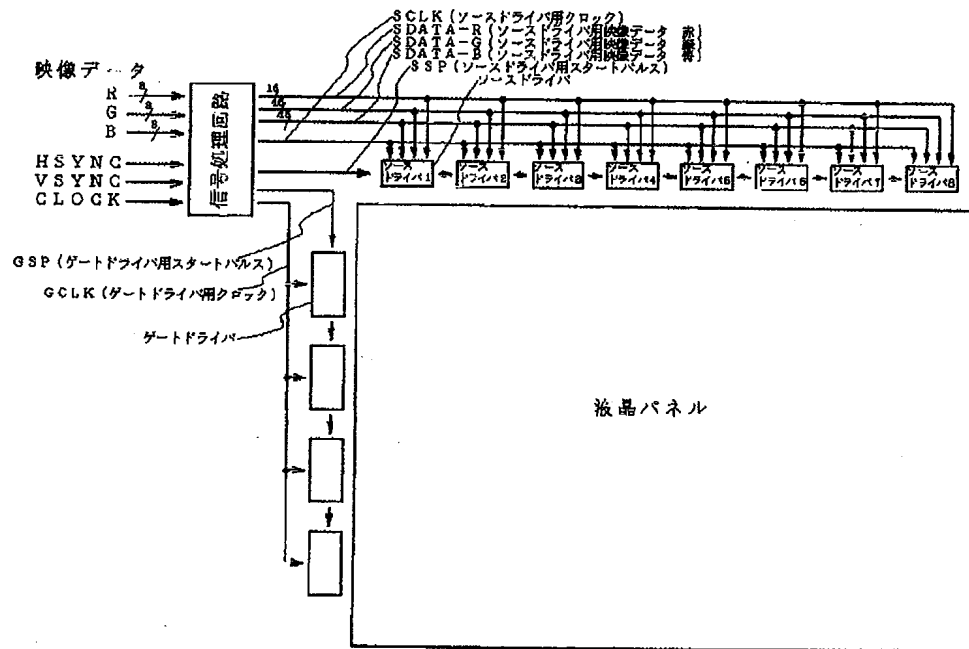
【図6】



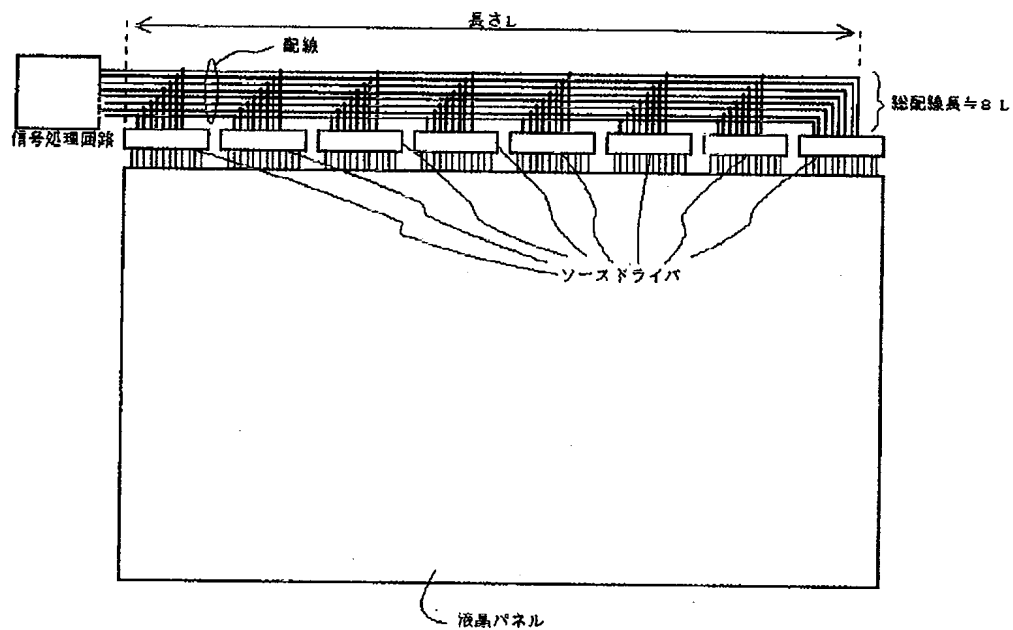
【図9】



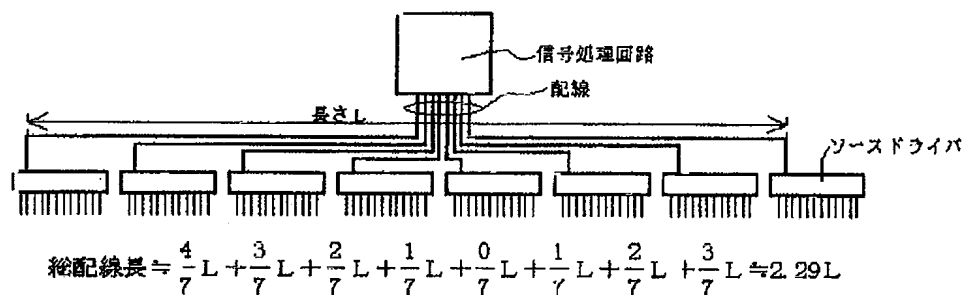
【図7】



【図10】



【図12】



フロントページの続き

(51)Int. Cl.⁷

G 0 9 G 3/36

識別記号

F I

G 0 9 G 3/36

(参考)

F ターム(参考) 2H093 NA16 NA43 NC22 NC24 NC29

NC34 ND06 ND34 ND40

5C006 AA22 AC11 AC17 AC21 AF25

BB15 BC12 BC16 BF03 BF05

FA32 FA42

5C080 AA10 BB06 CC03 DD12 EE29

FF11 GG12 JJ02 JJ04